

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-148625

(43)Date of publication of application : 29.05.2001

(51)Int.Cl.

H03K 17/16
G04G 1/00

(21)Application number : 11-331268

(71)Applicant : MATSUSHITA ELECTRIC IND CO
LTD

(22)Date of filing : 22.11.1999

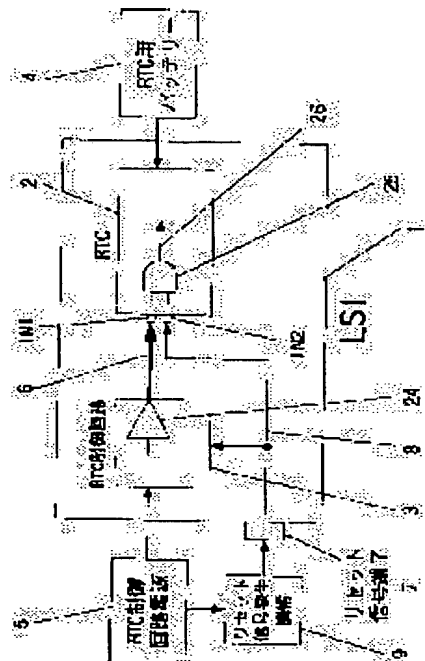
(72)Inventor : DOUGASAKI SHIKO
HOSHIDA TAKUMI

(54) SEMICONDUCTOR INTEGRATED CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce futile power consumption with a constitution where CMOS circuits to be operated by different power sources are connected to each other.

SOLUTION: An AND gate 25 is provided in an RTC circuit 2, and the output is used as the inner signal 26 of the RTC circuit 2. When an RTC control circuit source 5 is turned off, a reset signal 8 is fixed to 'L' and the inner signal 26 to 'L'. Thus, conventional pull down resistance is unnecessary. Even if the signal 6 of an output buffer 24 is 'H', unnecessary power consumption is not generated in the RTC control circuit power source 5. When only the RTC control circuit power source 5 is turned off, the voltage of the RTC control circuit power source 5 gradually drops and becomes 'L'. Even if the signal 6 of the output buffer 24 is 'H', the reset signal 8 becomes 'L' when the voltage of the RTC control circuit power source 5 becomes lower than a prescribed level. Thus, the inner signal 26 becomes 'L' and through current does not flow through the RTC circuit 2.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-148625
(P2001-148625A)

(43) 公開日 平成13年5月29日 (2001.5.29)

(51) Int.Cl. ⁷	識別記号	F I	テ-マ-ト* (参考)
H 0 3 K 17/16		H 0 3 K 17/16	J
G 0 4 G 1/00	3 0 8	G 0 4 G 1/00	3 0 8

審査請求 未請求 請求項の数 2 O L (全 8 頁)

(21) 出願番号 特願平11-331268

(22) 出願日 平成11年11月22日 (1999.11.22)

(71) 出願人 000005821

松下電器産業株式会社
大阪府門真市大字門真1006番地

(72) 発明者 堂ヶ崎 士行

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 星田 匠

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 100076174

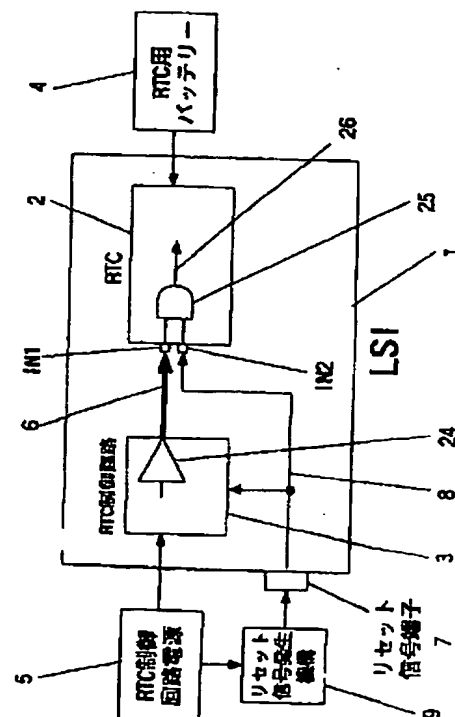
弁理士 宮井 暁夫

(54) 【発明の名称】 半導体集積回路

(57) 【要約】

【課題】 異電源で動作するCMOS回路同士が接続された構成で、無駄な消費電力を削減する。

【解決手段】 RTC回路2内部に、ANDゲート25を設け、その出力をRTC回路2の内部信号26とする。RTC制御回路電源5がオフの時はリセット信号8が“L”で、内部信号26が“L”に固定されるため、従来のプルダウン抵抗が不要となり、出力バッファ24の信号6が“H”でも、RTC制御回路電源5に無駄な消費電力を発生しない。RTC制御回路電源5のみがオフに移行した場合、RTC制御回路電源5の電圧は徐々に低下して“L”になる。このとき、出力バッファ24の信号6が“H”であっても、リセット信号8は、RTC制御回路電源5の電圧が所定のレベルを下回ると“L”となるため、内部信号26も“L”となり、RTC回路2内に貫通電流が流れない。



【特許請求の範囲】

【請求項1】 第1の電源で動作する入力回路と、出力電圧が変動する第2の電源で動作し前記入力回路へハイまたはローレベルの出力信号を供給するCMOSインバータを有する出力回路とを備えた半導体集積回路であって、

前記入力回路の内部に前記出力回路のCMOSインバータの出力信号を入力する制御手段を設け、前記制御手段は、前記第2の電源電圧が所定電圧以上のときは前記CMOSインバータの出力信号を前記入力回路の内部信号として出力し、前記第2の電源電圧が前記所定電圧未満のときはローレベルを前記入力回路の内部信号として出力するようにしたことを特徴とする半導体集積回路。

【請求項2】 第1の電源で動作し、時計機能を持つリアルタイムクロック（以下「RTC」という）回路と、出力電圧が変動する第2の電源で動作し、前記RTC回路へ出力信号を供給するCMOSインバータを有し、前記RTC回路の時刻設定を行うRTC制御回路とを備えた半導体集積回路であって、

前記RTC回路内部にANDゲートを設け、前記ANDゲートは、前記RTC制御回路のCMOSインバータの出力信号を第1の入力とし、前記第2の電源電圧が前記所定電圧以上のときにハイレベルとなり前記所定電圧未満のときにローレベルとなる前記RTC制御回路用のリセット信号を第2の入力とし、前記第1の入力と第2の入力との論理積を前記RTC回路の内部信号として出力するようにしたことを特徴とする半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、異電源CMOS回路間を接続する構成を有した半導体集積回路に関する。

【0002】

【従来の技術】携帯電話やPDAと呼ばれる携帯情報端末などの機器は、バッテリーを電源としているため、消費電力を抑えてバッテリーの寿命時間を延ばすことが重要な課題であり、そのためには、機器に内蔵されるLSIについても消費電力を抑える必要がある。この低消費電力化を実現するための有効な手段として、LSI内部に複数の電源系をもつことがあげられる。

【0003】図5は、複数の電源系を持つLSIの構成例である。LSI1は、時計機能を持つRTC回路2と、RTC回路2の時刻設定を行うRTC制御回路3とを内蔵しており、RTC回路2はRTC用バッテリー4により常に電源ON（オン）の動作状態にあり、RTC制御回路3はRTC制御回路電源5によりON/OFF（オン/オフ）の切替が行われる。RTC制御回路3からは、RTC回路2の制御を行うためのアドレス、データ、コントロール信号6が出力され、RTC回路2の内部へ供給されることによって、時刻の設定等が行える。

【0004】また、RTC制御回路3はLSI1のリセ

ット信号端子7から供給されるリセット信号8により、リセットすることができる。リセット信号8は、RTC制御回路電源5の電圧がある所定のレベル以上であれば“H”（ハイレベル）、所定のレベルより低ければ“L”（ローレベル）を出力するリセット信号発生機構9の出力結果である。RTC制御回路3は、リセット信号8が“L”の状態のときにリセットされ、リセットされるとRTC制御回路3は、アドレス、データ、コントロール信号6のうち、コントロール信号のみをインアクティブにする。この図5の構成例では、時刻の設定等を行わない時にRTC制御回路電源5をOFFにしておくことで、LSI1の消費電力を抑えることができる。

【0005】図6は、図5におけるRTC回路2とRTC制御回路3のように、互いに異なる電源で動作し、信号の入出力関係がある回路同士を接続した一般的な構成を示す図である。電源VDD1で動作する出力回路11の出力端子12と、電源VDD1とは異なる電源VDD2で動作する入力回路13の入力端子14が配線15により接続されており、出力回路11の内部の出力バッファ16から発生した出力信号17は、出力端子12、配線15、入力端子14を介して、入力回路13の内部の入力バッファ18への入力信号19として供給される。

【0006】図7は、図6における入力回路13の内部の入力バッファ18を構成するCMOSインバータの回路図である。P型MOSトランジスタTr21とN型MOSトランジスタTr22の各ドレインを共通接続して出力端子VOUTとし、P型MOSトランジスタTr21のソースを正電源VDD、N型MOSトランジスタTr22のソースをグランドGNDに接続し、両トランジスタのゲートを共通接続した入力端子VINに入力信号を直接入力するように構成されている。ここで、正電源VDDは図6における入力回路13の電源VDD2と同一である。CMOSインバータにおいては、入力端子VINに入力される電圧が中間レベルにあるとき、P型MOSトランジスタTr21およびN型MOSトランジスタTr22が同時にON状態となり、正電源VDDからグランドGNDに向かって貫通電流が流れる。

【0007】そこで、図6においては、出力回路11の電源VDD1のみがOFFになった場合に、入力回路13の内部の入力バッファ18への入力信号19の状態が不定となって、入力回路13の内部の入力バッファ18を構成するCMOSインバータの入力が中間レベルをとらない様、配線15の途中にブルダウン抵抗20を接続することによって、入力回路13の内部の入力バッファ18への入力信号19の状態を固定している。

【0008】

【発明が解決しようとする課題】しかしながら、図6に示した従来例では、出力回路11から入力回路13へのアクセス中など、出力回路11の内部の出力バッファ16から発生した出力信号17の状態が“H”であるときに、出力回路11の電源VDD1のみがONからOFFに移

行した場合については、入力回路13の内部の入力バッファ18に貫通電流が流れるため、入力回路13の電源VDD2に無駄な消費電力が発生する。このことを図8を参照して説明する。

【0009】図8は貫通電流の発生を示したタイミングチャートである。出力回路11の電源VDD1および入力回路13の電源VDD2がともにONの状態から、出力回路11の電源VDD1のみがONからOFFに移行する（期間t3）と、出力回路11の電源VDD1の電圧は時間の経過と共に徐々に低下し、中間レベルを通過した後“L”になる。このとき、出力回路11の内部の出力バッファ16から発生した出力信号17の状態が“H”ならば、出力回路11の電源VDD1の電圧低下に伴い、出力回路11の内部の出力バッファ16から発生した出力信号17および入力回路13の内部の入力バッファ18への入力信号19のレベルも徐々に低下し、中間レベルを通過するため、入力回路13の内部の入力バッファ18に貫通電流が発生し、入力回路13の電源VDD2に無駄な消費電力が発生する。

【0010】また、出力回路11の出力バッファ16も図7と同様なCMOSインバータ（ただし電源はVDD1）で構成されており、出力回路11の電源VDD1および入力回路13の電源VDD2がともにONで動作状態であるときに、出力回路11から入力回路13へのアクセスが発生して、出力回路11の内部の出力バッファ16から発生した出力信号17の状態が“H”になった場合には、必ず出力回路11の電源VDD1からブルダウン抵抗20を介して電流が流れるため、出力回路11の電源VDD1に無駄な消費電力が発生する。

【0011】消費電力が大きい機器においては、前述の無駄な消費電力はさほど問題とはならないが、低消費電力の機器においてさらに消費電力を抑えるためには、前述の無駄な消費電力についても削減する必要がある。

【0012】本発明は、上記課題を解決するもので、異電源で動作するCMOS回路同士が接続された構成において、無駄な消費電力を削減することができる半導体集積回路を提供することを目的とする。

【0013】

【課題を解決するための手段】本発明の請求項1記載の半導体集積回路は、第1の電源で動作する入力回路と、出力電圧が変動する第2の電源で動作し入力回路へハイまたはローレベル（“H”または“L”）の出力信号を供給するCMOSインバータを有する出力回路とを備えた半導体集積回路であって、入力回路の内部に出力回路のCMOSインバータの出力信号を入力する制御手段を設け、制御手段は、第2の電源電圧が所定電圧以上のときはCMOSインバータの出力信号を入力回路の内部信号として出力し、第2の電源電圧が所定電圧未満のときはローレベル（“L”）を入力回路の内部信号として出力するようにしたことを特徴とする。

【0014】この構成によれば、第1の電源がONである場合に、第2の電源がOFFになると、入力回路内部の制御手段の出力は“L”になり、入力回路の内部信号として出力される。このように、第2の電源がOFFのとき従来のようにブルダウン抵抗を用いずに入力回路の制御手段の出力を“L”に固定でき、入力回路の内部における貫通電流の発生を防止できる。そして、出力回路のCMOSインバータの出力信号が“H”のときに第2の電源がONからOFFに移行する際、CMOSインバータの出力信号は“H”から中間レベルを通過して“L”に移行するが、第2の電源電圧が所定電圧未満になると制御手段の出力が“L”になるため、入力回路内部に貫通電流が流れず、従来第1の電源に発生していた無駄な消費電力を削減することができる。また、従来のようにブルダウン抵抗を用いていないため、出力回路のCMOSインバータの出力信号が“H”のときに、従来のように第2の電源からブルダウン抵抗を介して電流が流れることがなく、第2の電源の無駄な消費電力の発生を無くすることができる。

【0015】本発明の請求項2記載の半導体集積回路は、第1の電源で動作し、時計機能を持つRTC回路と、出力電圧が変動する第2の電源で動作し、RTC回路へ出力信号を供給するCMOSインバータを有し、RTC回路の時刻設定を行うRTC制御回路とを備えた半導体集積回路であって、RTC回路内部にANDゲートを設け、ANDゲートは、RTC制御回路のCMOSインバータの出力信号を第1の入力とし、第2の電源電圧が所定電圧以上のときにハイレベル（“H”）となり所定電圧未満のときにローレベル（“L”）となるRTC制御回路用のリセット信号を第2の入力とし、第1の入力と第2の入力との論理積をRTC回路の内部信号として出力するようにしたことを特徴とする。

【0016】この構成によれば、RTC回路用の第1の電源がONである場合に、RTC制御回路用の第2の電源がOFFになると、リセット信号が“L”になり、リセット信号を入力とするANDゲートの出力は“L”になり、RTC回路の内部信号として出力される。このように、RTC制御回路用の第2の電源がOFFのとき従来のようにブルダウン抵抗を用いずにRTC回路の内部信号の状態を“L”に固定でき、RTC回路内部における貫通電流の発生を防止できる。そして、RTC制御回路のCMOSインバータの出力信号が“H”のときにRTC制御回路用の第2の電源がONからOFFに移行する際、CMOSインバータの出力信号は“H”から中間レベルを通過して“L”に移行するが、第2の電源電圧が所定電圧未満になるとリセット信号が“L”となり、RTC回路の内部信号となるANDゲートの出力は瞬時に“L”になるため、RTC回路の内部に貫通電流が流れず、従来RTC回路用の第1の電源に発生していた無駄な消費電力を削減することができる。また、従来のように

にブルダウン抵抗を用いていないため、RTC制御回路のCMOSインバータの出力信号が“H”のときに、従来のように第2の電源からブルダウン抵抗を介して電流が流れることがなく、RTC制御回路用の第2の電源の無駄な消費電力の発生を無くすることができる。

【0017】

【発明の実施の形態】図1に本発明の実施の形態における半導体集積回路の一例を示す。なお、図5に示した従来例と同じ働きをする構成要素については、図5と同じ符号を付与している。

【0018】図1に示すように、本実施の形態では、RTC回路2において従来入力バッファとして用いていたCMOSインバータを、ANDゲート25に置き換えている。そして、RTC制御回路3の内部のCMOSインバータで構成された出力バッファ24から、RTC回路2の制御を行うためのアドレス、データ、コントロール信号6が出力され、ANDゲート25の入力端子IN1に入力される。また、RTC制御回路3のリセット信号8がANDゲート25の入力端子IN2に入力され、アドレス、データ、コントロール信号6とリセット信号8との論理積をとったANDゲート25の出力がRTC回路2の内部信号26として供給される。ここで、リセット信号端子7はLSI1に既存のものであるため、新たな端子を設けることなく、容易に利用できる。

【0019】以上のように構成される本実施の形態の構成について、その動作を説明する。以下、断りのない限り、RTC用バッテリー4（第1の電源）は常時電源ONの状態とする。

【0020】図2に、図1におけるRTC回路2の内部のANDゲート25の回路図を示す。図2において、Tr71、Tr73、Tr75はP型MOSトランジスタ、Tr72、Tr74、Tr76はN型MOSトランジスタである。

【0021】RTC制御回路電源5（第2の電源）がOFFの時は、入力端子IN2に入力されるリセット信号8の状態は“L”となる。このとき、トランジスタTr71がON、トランジスタTr72がOFFになるため、入力端子IN1へ入力されたRTC制御回路3からのアドレス、データ、コントロール信号6がどのようなレベルであっても、インバータを構成するトランジスタTr73、Tr74への入力は“H”となり、その結果、出力端子OUTから出力されるRTC回路2の内部信号26の状態は“L”となる。

【0022】このように、RTC制御回路電源5のみがOFFの場合に、RTC回路2の内部信号26の状態が“L”に固定されるため、従来用いていたブルダウン抵抗が不要となり、RTC制御回路電源5がONの場合に、RTC制御回路3の内部の出力バッファ24から出力されるアドレス、データ、コントロール信号6の状態が“H”であっても、RTC制御回路電源5に無駄な消費電力が発生することはない。

【0023】また、図3に本実施の形態における信号の動作のタイミングチャートを示す。まず、RTC制御回路電源5のみがOFFの場合（期間 t_1 ）は、前述の通り、リセット信号8の状態が“L”となるため、RTC回路2の内部信号26の状態は、“L”に固定される。

【0024】次に、RTC制御回路電源5およびRTC用バッテリー4がともにONの場合（期間 t_2 ）は、リセット信号8の状態は“H”であるから、ANDゲート25の出力であるRTC回路2の内部信号26の状態は、RTC制御回路3から出力されたアドレス、データ、コントロール信号6の状態と同じになる。したがって、本実施の形態によりRTC回路2の内部信号26の動作が変わることはない。

【0025】次に、RTC制御回路電源5のみがONからOFFに移行した場合（期間 t_3 ）、RTC制御回路電源5の電圧は時間の経過と共に徐々に降下し、中間レベルを通過した後“L”になる。このとき、RTC制御回路3の内部の出力バッファ24から出力されたアドレス、データ、コントロール信号6の状態が“H”ならば、RTC制御回路電源5の電圧降下に伴い、アドレス、データ、コントロール信号6のレベルも徐々に降下し、中間レベルを通過する。しかし、RTC制御回路3のリセット信号8は、RTC制御回路電源5の電圧がある所定のレベルを下回ると“L”となるため、RTC制御回路3の内部の出力バッファ24から発生したアドレス、データ、コントロール信号6とRTC制御回路3のリセット信号8との論理積の結果であるRTC回路2の内部信号26も“L”となり、中間レベルになることはない。したがって、RTC回路2の内部に貫通電流が流れないため、RTC用バッテリー4に発生する無駄な消費電力を削減することができる。

【0026】なお、上記の説明のように、アドレス、データ、コントロール信号6の状態が“H”の場合に、RTC制御回路電源5のみがONからOFFに移行したとき、RTC回路2の内部に貫通電流が流れないようにするためには、アドレス、データ、コントロール信号6のレベルが徐々に降下して、CMOSインバータを構成するP型およびN型MOSトランジスタの両方がON状態となる中間レベルに達する前に、リセット信号8が“L”になる必要がある。したがって、リセット信号発生機構9は、RTC制御回路電源5が完全にON状態のときの電圧レベルよりも低く、かつ上記の中間レベルよりも高いレベルを、出力するリセット信号8の“H”、“L”の状態を切り替えるときの所定のレベルとするものである。

【0027】また、上記説明では、RTC回路2とRTC制御回路3とを内蔵したLSI1について説明したが、本発明は、それに限られるものではなく、図4に示す回路で構成できるものである。図4において、図6に示した従来例と同じ働きをする構成要素については、図

6と同じ符号を付与している。また、図1のRTC制御回路3は図4の出力回路11の一例、RTC回路2は入力回路13の一例、RTC用バッテリー4は電源VDD2

(第1の電源)の一例、RTC制御回路電源5は電源VDD1(第2の電源)の一例であり、リセット信号8は制御信号21の一例であり、ANDゲート25は制御手段22の一例である。

【0028】図4では、従来の入力回路13内部に入力バッファ18(図6)として用いていたCMOSインバータを、制御手段22に置き換えている。出力回路11の内部のCMOSインバータで構成された出力バッファ16から出力された出力信号17は、出力端子12、配線15を介して、入力回路13の入力端子INAから制御手段22に入力される。また、制御信号21は、入力回路13の入力端子INBから制御手段22に入力される。制御手段22の出力が入力回路13の内部信号23として供給される。

【0029】ここで、制御信号21は、出力回路11の電源VDD1の電圧が所定電圧以上のときに第1のレベル(“H”または“L”)となり、所定電圧未満のときに第1のレベルとは異なる第2のレベル(“L”または“H”)となる信号であり、制御信号21のレベルが切り替わる所定電圧は、前述のリセット信号8の状態が切り替わる所定のレベルと同様に設定されている。

【0030】また、制御手段22は、制御信号21が第1のレベルのとき、すなわち電源VDD1の電圧が所定電圧以上のときは、CMOSインバータで構成された出力バッファ16の出力信号17を同じレベルの状態でも内部信号23として出力する。また、制御信号21が第2のレベルのとき、すなわち電源VDD1の電圧が所定電圧未満のときは、“L”を内部信号23として出力する。

【0031】この図4の構成によれば、前述の図1の構成と同様の効果が得られ、制御信号21の状態により、入力回路13の内部信号23の状態の固定や“H”と“L”の切替が行えるので、中間レベルの入力による貫通電流を防止して電源VDD2に発生する無駄な消費電力を削減できるとともに、従来のようなプルダウン抵抗を介して流れる電流を削減し電源VDD1に発生する無駄な消費電力を削減できる。

【0032】

【発明の効果】以上詳述したように請求項1の発明によれば、出力回路用の第2の電源がOFFのとき従来のようにプルダウン抵抗を用いずに、入力回路の制御手段の出力を“L”に固定でき、入力回路の内部における貫通電流の発生を防止でき、また、出力回路のCMOSインバータの出力信号が“H”のときに第2の電源がONからOFFに移行する際、CMOSインバータの出力信号は“H”から中間レベルを通過して“L”に移行するが、第2の電源電圧が所定電圧未満になると制御手段の出力が“L”になるため、入力回路内部に貫通電流が流れ

ず、従来第1の電源に発生していた無駄な消費電力を削減することができる。また、従来のようにプルダウン抵抗を用いていないため、出力回路のCMOSインバータの出力信号が“H”のときに、従来のように第2の電源からプルダウン抵抗を介して電流が流れることがなく、第2の電源の無駄な消費電力の発生を無くすることができる。

【0033】また、請求項2の発明によれば、RTC制御回路用の第2の電源がOFFのとき従来のようにプルダウン抵抗を用いずにRTC回路の内部信号の状態を“L”に固定でき、RTC回路内部における貫通電流の発生を防止でき、また、RTC制御回路のCMOSインバータの出力信号が“H”のときにRTC制御回路用の第2の電源がONからOFFに移行する際、CMOSインバータの出力信号は“H”から中間レベルを通過して“L”に移行するが、第2の電源電圧が所定電圧未満になるとリセット信号が“L”となり、RTC回路の内部信号となるANDゲートの出力は瞬時に“L”になるため、RTC回路の内部に貫通電流が流れず、従来RTC回路用の第1の電源に発生していた無駄な消費電力を削減することができる。また、従来のようにプルダウン抵抗を用いていないため、RTC制御回路のCMOSインバータの出力信号が“H”のときに、従来のように第2の電源からプルダウン抵抗を介して電流が流れることがなく、RTC制御回路用の第2の電源の無駄な消費電力の発生を無くすることができる。

【図面の簡単な説明】

【図1】本発明の実施の形態における半導体集積回路を示す図。

【図2】図1におけるANDゲートの回路図。

【図3】本発明の実施の形態における信号の動作のタイミングチャート。

【図4】本発明の他の実施の形態における半導体集積回路を示す図。

【図5】従来の半導体集積回路の構成の一例を示す図。

【図6】従来の異なる電源で動作するCMOS回路同士を接続した一般的な構成を示す図。

【図7】従来例における入力バッファに用いられるCMOSインバータの回路図。

【図8】従来例において貫通電流の発生を示すタイミングチャート。

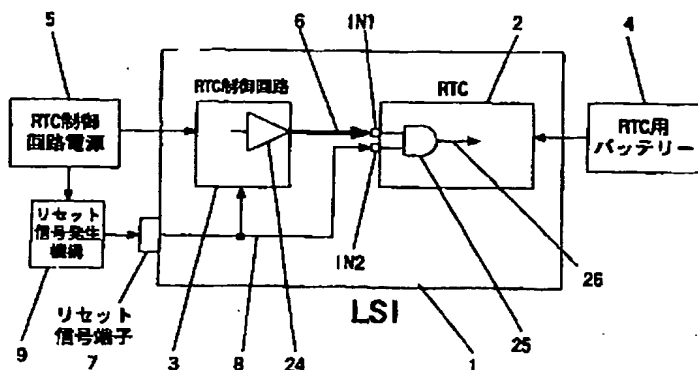
【符号の説明】

- 1 LSI
- 2 RTC回路
- 3 RTC制御回路
- 4 RTC用バッテリー
- 5 RTC制御回路電源
- 6 アドレス、データ、コントロール信号
- 7 リセット信号端子
- 8 リセット信号

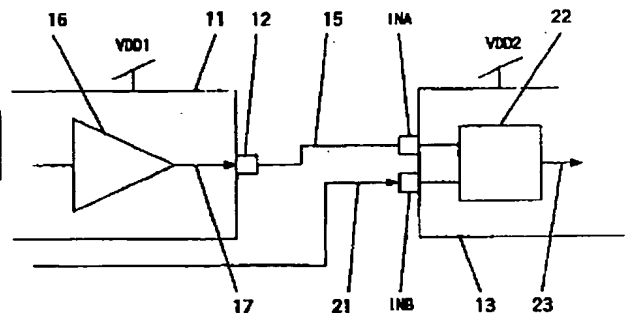
- 9 リセット信号発生機構
- 11 出力回路
- 12 出力回路11の出力端子
- 13 入力回路
- 14 入力回路13の入力端子
- 15 配線
- 16 出力回路11内部の出力バッファ
- 17 出力回路11内部の出力バッファ16から発生した出力信号
- 18 入力回路13内部の入力バッファ
- 19 入力回路13内部の入力バッファ18への入力信号
- 20 プルダウン抵抗
- 21 制御信号
- 22 入力回路13内部の制御手段
- 23 入力回路13の内部信号

- 24 RTC制御回路3の内部の出力バッファ
- 25 RTC回路2の内部のANDゲート
- 26 RTC回路2の内部信号
- VDD1 出力回路11の電源
- VDD2 入力回路12の電源
- VIN CMOSインバータの入力端子
- VOUT CMOSインバータの出力端子
- Tr21 P型MOSトランジスタ
- Tr22 N型MOSトランジスタ
- VDD 正電源
- GND グランド
- INA, INB 入力回路13の入力端子
- IN1, IN2 RTC回路2内部のANDゲート25の入力端子
- Tr71, Tr73, Tr75 P型MOSトランジスタ
- Tr72, Tr74, Tr76 N型MOSトランジスタ

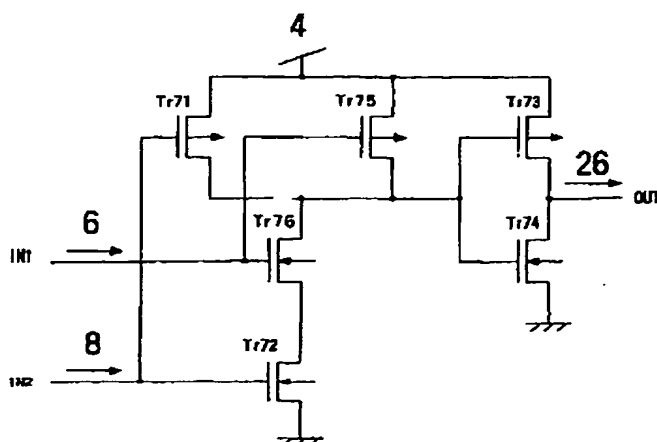
【図1】



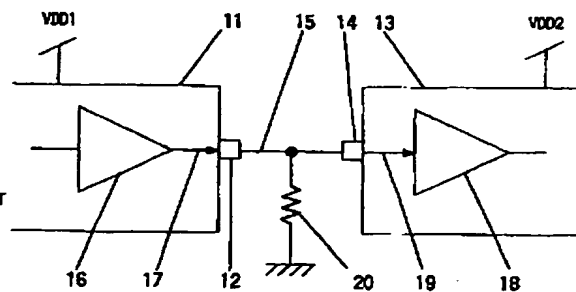
【図4】



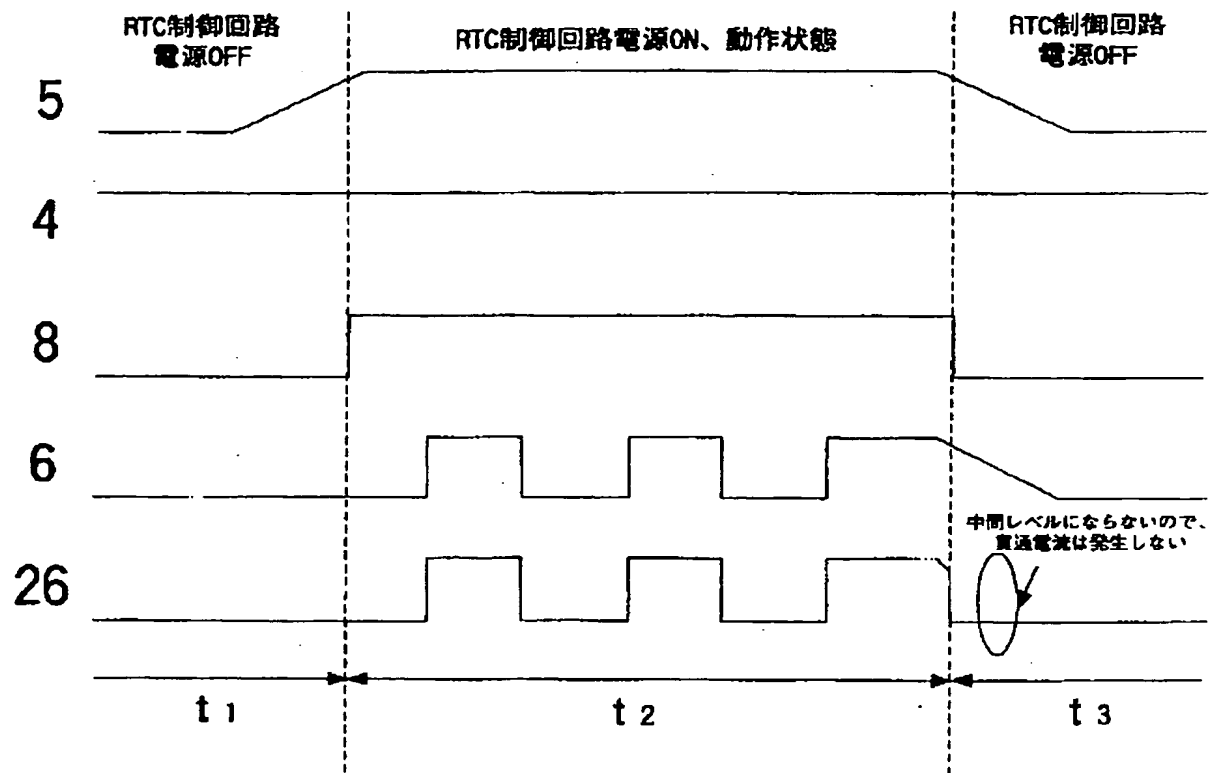
【図2】



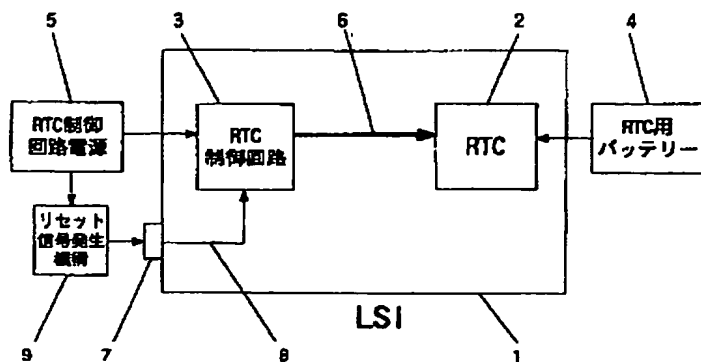
【図6】



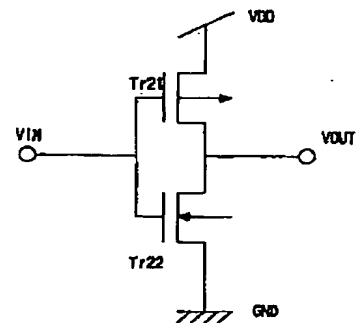
【図3】



【図5】



【図7】



【図8】

